

9/5/1

DIALOG(R) File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

07117772 **Image available**
ELECTRO-MAGNETIC WAVE DETECTION DEVICE

PUB. NO.: 2001-345440 [*JP 2001345440* A]
PUBLISHED: December 14, 2001 (20011214)
INVENTOR(s): MORISHITA MASAKAZU
APPLICANT(s): CANON INC
APPL. NO.: 2001-076393 [JP 200176393]
FILED: March 16, 2001 (20010316)
PRIORITY: 2000-099011 [JP 200099011], JP (Japan), March 31, 2000
(20000331)
INTL CLASS: H01L-027/146; G01T-001/00; G01T-001/20; G01T-001/24;
H01L-027/14; H01L-029/786; H01L-031/09; H04N-005/32;
H04N-005/335

ABSTRACT

PROBLEM TO BE SOLVED: To hardly generate malfunction even if electro-magnetic wave of high energy is injected by restraining after-image and leakage of charge.

SOLUTION: An electro-magnetic wave detection device has a converter 1 which converts injected electro-magnetic wave to electric charge, a storage capacity 2 which stores electric charge converted by a converter, a read thin film transistor 4 for reading electric charge stored in a storage capacity, and a reset thin film transistor 3 whose one end is converted to a storage capacity and which provides reset potential to a storage capacity on applying ON-state voltage to a gate, OFF-state voltage applied to a gate of the reset thin film transistor is set at a value which is closer to ON-state voltage than to OFF-state voltage applied to a gate of a read thin film transistor during a storage period.

COPYRIGHT: (C) 2001, JPO

THIS PAGE BLANK (USPS),

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-345440
(P2001-345440A)

(43) 公開日 平成13年12月14日(2001.12.14)

(51) Int.Cl.
H 01 L 27/146
G 01 T 1/00
1/20
1/24

禮別記号

F I
G O 1 T 1/00
1/20
1/24

テマコト（参考）

審査請求 有 請求項の数19 O.L. (全 16 頁) 最終頁に続く

(21)出願番号 特願2001-76393(P2001-76393)
(22)出願日 平成13年3月16日(2001.3.16)
(31)優先権主張番号 特願2000-99011(P2000-99011)
(32)優先日 平成12年3月31日(2000.3.31)
(33)優先権主張国 日本(JP)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 森下 正和
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

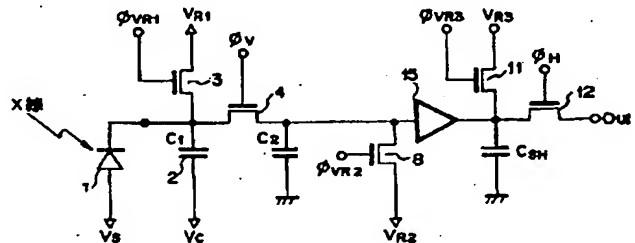
(74) 代理人 100065385
弁理士 山下 穂平

(54) 【発明の名称】 电磁波検出装置

(57) 【要約】

【課題】 残像や電荷の漏れ出しを抑制し、高いエネルギーの電磁波が入射しても誤動作が生じ難くする。

【解決手段】 入射した電磁波を電荷に変換する変換素子1と、変換素子で変換された電荷を蓄積する蓄積容量2と、蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタ4と、一端が蓄積容量に接続され、ゲートにオン電圧が印加されて蓄積容量にリセット電位を与えるリセット用薄膜トランジスタ3と、を有する電磁波検出装置において、蓄積期間中にリセット用薄膜トランジスタのゲートに印加するオフ電圧が、蓄積期間中に読み出し用薄膜トランジスタのゲートに印加するオフ電圧より、オン電圧に近い値に設定されている。



【特許請求の範囲】

【請求項1】 入射した電磁波を電荷に変換する変換素子と、前記変換素子で変換された前記電荷を蓄積する蓄積容量と、前記蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタと、一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、を有する電磁波検出装置において、蓄積期間中に前記リセット用薄膜トランジスタのゲートに印加するオフ電圧が、前記蓄積期間中に前記読み出し用薄膜トランジスタのゲートに印加するオフ電圧より、前記オン電圧に近い値に設定されていることを特徴とする電磁波検出装置。

【請求項2】 前記変換素子は、可視光より高エネルギーの電磁波を吸収して電荷に変換する素子である請求項1記載の電磁波検出装置。

【請求項3】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成された非単結晶半導体層を有する請求項1記載の電磁波検出装置。

【請求項4】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成され、前記変換素子は前記絶縁性基板とは別の基板に形成され、前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとに電気的に接続されている請求項1記載の電磁波検出装置。

【請求項5】 前記変換素子は、電磁波を電荷に変換する半導体基板と、該半導体基板の一面に設けられた共通電極と、該半導体基板の他面に設けられ、二次元状の複数の画素に対応して、各々分離されて形成された複数の電極と、を有し、

前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを含む単位セルが前記各画素に対応して、絶縁性基板上に配置され、前記半導体基板と前記絶縁基板とは積層構造をとり、それらの基板間において前記複数の電極と前記各単位セルとが電気的に接続されている請求項1に記載の電磁波検出装置。

【請求項6】 前記半導体基板の複数を前記絶縁基板上に二次元状に並べて積層配置し、各半導体基板の共通電極同士を短絡させる請求項4又は5に記載の電磁波検出装置。

【請求項7】 前記変換素子の共通電極に高圧電位を与え、該共通電極の近傍にはシールドする導電体が設けられている請求項5に記載の電磁波検出装置。

【請求項8】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動するドライバー回路と、前記読み出し用薄膜トランジスタから信号を読み出す読み出し回路とが、前記絶縁性基板に設けられている請求項4又は5に記載の電磁波検出装置。

10 し用薄膜トランジスタと、一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、を有する電磁波検出装置において、蓄積期間中に、前記リセット用薄膜トランジスタを通して過剰な電荷を放出することを特徴とする電磁波検出装置。

【請求項10】 前記変換素子は、可視光より高エネルギーの電磁波を吸収して電荷に変換する素子である請求項9記載の電磁波検出装置。

【請求項11】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成された非単結晶半導体層を有する請求項9記載の電磁波検出装置。

【請求項12】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成され、前記変換素子は前記絶縁性基板とは別の基板に形成され、前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとに電気的に接続されている請求項9記載の電磁波検出装置。

【請求項13】 前記変換素子は、電磁波を電荷に変換する半導体基板と、該半導体基板の一面に設けられた共通電極と、該半導体基板の他面に設けられ、二次元状の複数の画素に対応して、各々分離されて形成された複数の電極と、を有し、

前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを含む単位セルが前記各画素に対応して、絶縁性基板上に配置され、前記半導体基板と前記絶縁基板とは積層構造をとり、それらの基板間において前記複数の電極と前記各単位セルとが電気的に接続されている請求項9に記載の電磁波検出装置。

【請求項14】 前記半導体基板の複数を前記絶縁基板上に二次元状に並べて積層配置し、各半導体基板の共通電極同士を短絡させる請求項12又は13に記載の電磁波検出装置。

【請求項15】 前記変換素子の共通電極に高圧電位を与え、該共通電極の近傍にはシールドする導電体が設けられている請求項13に記載の電磁波検出装置。

【請求項16】前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動するドライバ回路と、前記読み出し用薄膜トランジスタから信号を読み出す読み出し回路とが、前記絶縁性基板に設けられている請求項12又は13に記載の電磁波検出装置。

【請求項17】前記読み出し用薄膜トランジスタは、読み出し動作の初期状態で、該薄膜トランジスタのソース・ドレイン間の電位差が少なくとも1V以上となるようにソース・ドレインに印加される電圧を定める請求項1又は9に記載の電磁波検出装置。

【請求項18】前記読み出し用薄膜トランジスタの閾値は、前記リセット用トランジスタの閾値と同じである請求項1に記載の電磁波検出装置。

【請求項19】前記読み出し用薄膜トランジスタの閾値は、前記リセット用トランジスタの閾値より高い請求項9に記載の電磁波検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は紫外線、赤外線、可視光、X線、 α 線、 γ 線などの電磁波の電磁波検出装置に関するものである。

【0002】

【従来の技術】紫外線、赤外線、可視光、X線、 α 線、 γ 線などの電磁波を直接或いは間接的に半導体によって電荷に変換し、それを読み出す電磁波検出装置は、撮像装置などに応用されている。

【0003】このうち、X線などの高いエネルギー電磁波を可視光に変換し、その可視光を半導体によって電荷に変換し、それを読み出す電磁波検出装置は、例えば米国特許第5,811,790号、特開平09-288184号公報、米国特許第5,856,699号、特開平09-260626号公報などに記載されている。

【0004】又、紫外線、赤外線、可視光、X線、 α 線、 γ 線などの電磁波を直接半導体によって電荷に変換する電磁波検出装置としては、例えば米国特許第5,391,881号に記載される装置がある。

【0005】図14(a), (b)は単結晶バルクX線検出部と単結晶読み出しICの積層構造による検出器を示す断面図及び平面図である。

【0006】図14(a), (b)において、X線などの高エネルギーの電磁波108が入射すると、Si, GaAs, CdTe, HgI₂等の半導体基板106で電荷が生じ、この電荷は電極114, バンプ120, 電極119を介して集積回路チップ110a, 110bの読み出し回路116に転送される。電極134a～134d、電極130a～130dは半導体基板106、集積回路チップ110a, 110bを接続するための電極である。

【0007】また、米国特許5,198,673号に記載される、保護ダイオード付直接型センサーがある。図

15はシンチレータと保護ダイオード付の光センサーの読み出し・リセット回路の概略的ブロック図である。図15において、222a, 222bはスキャンスイッチ、210はセンサー、212は高電圧源、214は蓄積容量、240は過電圧保護素子（保護ダイオード）である。

【0008】

【発明が解決しようとする課題】ところで、上記の電磁波検出装置において、発生した電荷を蓄積し、蓄積された電荷を読み出す回路構成を探る時に、蓄積容量から電荷を読み出した後に電荷が残ることがある。この電荷は次の蓄積時に加算されて、動画などの場合は残像となる。

【0009】又、蓄積容量に過剰な電荷が蓄積されると、これが読み出し回路側などに漏れ出し、CCDイメージセンサにおけるブルーミングと同じような現象が発生することがある。この現象は、とりわけ、X線のような可視光より高いエネルギーの電磁波を検出する場合に顕著である。

【0010】或いは、蓄積された電荷を読み出すためのトランジスタを単結晶ウエハを用いてバルクで形成すると、高いエネルギーの電磁波によりバルク内で不本意に発生した電荷が、当該トランジスタに悪影響を与え、正常動作を妨げることもある。

【0011】本発明の目的は、高いエネルギーの電磁波であっても良好に検出できる、従来の装置より優れた電磁波検出装置を提供することにある。

【0012】本発明の別の目的は、撮像面積の大きな電磁波検出装置を従来より安価に提供することにある。

【0013】更に、本発明の別の目的は、残像や電荷の漏れ出しを抑制し、高いエネルギーの電磁波が入射しても誤動作を生じ難い電磁波検出装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は、入射した電磁波を電荷に変換する変換素子と、前記変換素子で変換された前記電荷を蓄積する蓄積容量と、前記蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタと、一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、を有する電磁波検出装置において、蓄積期間中に前記リセット用薄膜トランジスタのゲートに印加するオフ電圧が、前記蓄積期間中に前記読み出し用薄膜トランジスタのゲートに印加するオフ電圧より、前記オン電圧に近い値に設定されていることを特徴とする。

【0015】又、本発明は、入射した電磁波を電荷に変換する変換素子と、前記変換素子で変換された前記電荷を蓄積する電荷蓄積容量と、前記蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタと、

一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、を有する電磁波検出装置において、蓄積期間中に、前記リセット用薄膜トランジスタを通して過剰な電荷を放出することを特徴とする。

【0016】前記変換素子は、可視光より高エネルギーの電磁波を吸収して電荷に変換する素子であることが好ましい。

【0017】前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成された非単結晶半導体層を有することが好ましい。

【0018】前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成され、前記変換素子は前記絶縁性基板とは別の基板に形成され、前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとに電気的に接続されていることが好ましい。

【0019】前記変換素子は、電磁波を電荷に変換する半導体基板と、該半導体基板の一面に設けられた共通電極と、該半導体基板の他面に設けられ、二次元状の複数の画素に対応して、各々分離されて形成された複数の電極と、を有し、前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを含む単位セルが前記各画素に対応して、絶縁性基板上に配置され、前記半導体基板と前記絶縁性基板とは積層構造をとり、それらの基板間において前記複数の電極と前記各単位セルとが電気的に接続されていることが好ましい。

【0020】前記半導体基板の複数を前記絶縁性基板上に二次元状に並べて積層配置し、各半導体基板の共通電極同士を短絡させることが好ましい。

【0021】前記変換素子の共通電極に高圧電位を与え、該共通電極の近傍にはシールドする導電体が設けられていることが好ましい。

【0022】前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動するドライバー回路と、前記読み出し用薄膜トランジスタから信号を読み出す読み出し回路とが、前記絶縁性基板に設けられていることが好ましい。

【0023】前記読み出し用薄膜トランジスタは、読み出し動作の初期状態で、該薄膜トランジスタのソース・ドレイン間の電位差が少なくとも1V以上となるようにソース・ドレインに印加される電圧を定めることが好ましい。

【0024】

【発明の実施の形態】図1～図6を参照して、本発明の実施形態による電磁波検出装置について説明する。

【0025】図1は本発明の実施形態による電磁波検出装置の回路構成図である。図2は、1単位セルから信号を読み出すための出力回路を含んだ回路構成図である。

【0026】1は変換素子、2は蓄積容量、3はリセッ

ト用トランジスタ、4は読み出し用トランジスタ、5は出力線、6は水平駆動制御線、7はリセット制御線、8は出力線のリセットトランジスタである。11は必要に応じて設けられるリセット用トランジスタ、12は水平転送用のトランジスタ、13は水平走査回路、14はリセット回路、15はアンプ、16は出力回路である。

【0027】1画素となる単位セルは、入射した電磁波を電荷に変換する変換素子1と、変換素子1からの信号電荷を蓄積する蓄積容量2と、蓄積容量2から信号を読み出すトランジスタ4と、信号電荷をリセットするためのリセット用トランジスタ3とを有する。この単位セルはマトリクス状に二次元に配置されて所謂エリアイメージセンサを構成している。

【0028】水平走査回路（シフトレジスター等）13により行ごとに各単位セルのトランジスタ4が選択されて、各単位セルの蓄積容量2から出力線5に信号が読み出され、この信号が出力線5に接続されるアンプ15を介して出力回路16に入力され、出力回路16によって列ごとに順次、出力端子OUTに出力される。

【0029】各出力線5は出力線リセットトランジスタ8により基準電位VR2にリセットされる。出力回路16は例えば出力線5ごとに設けられた、蓄積容量CSHと、この蓄積容量CSHと共に出力線とを接続するトランジスタ12とからなり、不図示の走査回路から $\phi H1$, $\phi H2$, …が出力回路16に順次入力されてトランジスタ12が順次オンして、蓄積容量CSHから列ごとに信号が共通出力線の出力端子OUTに読み出されて出力される。より詳しい駆動方法は後述する。

【0030】容量C2は出力線5により生ずる容量であり、その容量値をC2とする。この容量C2は、横方向の各制御線6, 7と出力線5とのクロス部の容量やトランジスタ4におけるソース（又はドレイン）の容量からなる。大基板パネルつまり撮像エリアが大きい装置においては、この容量C2が大きくなり、信号(S)と雑音(H)の比に大きく影響する。

【0031】装置を単結晶基板(Siなど)で作製すると、基板と配線の容量がさらに加算される。ガラス板のような絶縁性表面を有する基板上に形成することにより20cm角パネル程度であっても数10pF程度にすることができて、有利である。

【0032】電磁波が、変換素子1に入射する場合、変換素子1の容量値をC0、発生電荷をQとすると、蓄積容量2（容量値C1）に発生する電圧Vsは、

$$Vs = Q / (C1 + C0) \quad (1)$$

となり、 $C1 >> C0$ ($C1 \geq 10C0$) とすれば、実質的には $Vs \approx Q / C1$ となる。

【0033】蓄積容量2（容量値C1）から容量C2（容量値もC2とする）に読み出す場合も、容量C2に読み出される電位は、 $Vc2 = Q / (C1 + C2)$ となる。

【0034】通常 $C2 >> C1$ であるので、結局 $Vc2 \approx Q$

／C2となる。

【0035】換言すれば、 $V_{C2}/V_s = C1/C2$ となり、蓄積容量2（容量値C1）と容量C2の容量比に応じた電圧として読み出される。

【0036】そのため、容量C2があまりにも大きくなると、読み出し系のアンプの雑音が支配的になり、センサーとしてのS/N比を下げてしまう。

【0037】前述したように、絶縁性基板を用いれば容量C2を小さくすることができる、大版の装置に好適である。絶縁性基板上に作製するトランジスタの代表的な構成を図3に示す。

【0038】図3(a)は、下ゲートスタガー型と呼ばれる薄膜トランジスタの構成を示す。21はアルミニウム、クロム、タンタルなどの金属により形成されるゲート電極である。22は窒化シリコン、酸化シリコン、酸化アルミニウム、酸化タンタルなどのゲート絶縁膜である。23は非晶質シリコンや多結晶シリコンなどからなるチャネルを提供する半導体層、24は非晶質シリコンや微結晶シリコンなどの高濃度N型半導体からなるオーミックコンタクト層、25はアルミニウム、チタンなどの金属からなるソース・ドレイン電極である。

【0039】図3(b)も、下ゲートスタガー型と呼ばれる薄膜トランジスタの構成の別の例を示す。図3

(a)と異なる点は、ゲート電極21の上方の半導体層24を保護するチャンネル保護層26が設けられている点である。チャンネル保護層26は、オーミックコンタクト層24のエッティングレートより低いエッティングレートを呈する窒化シリコンや酸化シリコンなどの絶縁体からなる。

【0040】図3(a)と図3(b)は、半導体層として水素化非晶質シリコンのような非晶質材料を用いた場合に有効な構成である。

【0041】図3(c)は、上ゲートコブラナー型と呼ばれる構成の薄膜トランジスタであり、チャンネル23と、P型或いはN型のソース・ドレインとなる高濃度不純物領域27と、必要に応じて設けられる低濃度不純物領域28と、を構成する半導体として多結晶シリコンのような多結晶材料或いは単結晶材料を用いた場合に有効な構成である。21は多結晶シリコンや金属などからなるゲート電極、22は酸化シリコンなどのゲート絶縁膜、25はソース・ドレイン電極、29は酸化シリコンや窒化シリコンなどの絶縁膜である。

【0042】非晶質半導体や多結晶半導体のような非単結晶半導体を用いてチャンネル領域を構成した薄膜トランジスタのキャリアの移動度は、単結晶半導体用いてチャンネル領域を構成した薄膜トランジスタのそれに比べて低い。しかしながら、この原因となる結晶粒界や未結合手などによる欠陥が、高エネルギー線に入射により不本意に発生した電荷をトラップする役目を果たすため、非単結晶半導体薄膜トランジスタは単結晶半導体薄膜ト

ランジスタに比べて誤動作し難いという利点が顕在化する。

【0043】本実施形態においては、これらを含めた薄膜トランジスタを用いて、少なくともリセット用スイッチ3と読み出し用スイッチ4を作製する。少なくともリセット用スイッチ3と読み出し用スイッチ4とは同じ成膜プロセスにより作製することが好ましい。更には、必要に応じて、トランジスタ8や水平走査回路13・リセット回路14や出力回路16などを構成するトランジスタをも薄膜トランジスタにより作製してもよい。

【0044】次に、本実施形態の薄膜トランジスタからなるトランジスタ3の動作について述べる。

【0045】容量C2から電荷を読み出した後、蓄積容量2に $Q \cdot C1/C2$ の電荷が残る。例えば、蓄積容量2を1 pF、容量C2を40 pFとすれば、2.5%の電荷が残り、次の蓄積時に加算されて、次の読み出し時のノイズとなり、動画などの場合は残像として顕著に現れる。

【0046】本実施形態では、トランジスタ3により、残った電荷をリセットすることにより、残像を抑制することができる。また、本発明の実施形態においては、トランジスタ3により、蓄積容量2に蓄積すべき所定の電荷量より過剰な電荷を放出することができる。こうして蓄積容量2の電位範囲（蓄積電荷量の範囲）を決めることができる。

【0047】蓄積容量2のリセット直後の初期電位はトランジスタ3に充分なオン電圧を与えて、トランジスタ3をオンして、リセット用基準電位VR1とする。リセット後は、変換素子1から流入する電荷Qにより容量2に電荷が蓄積されるが、これが所定の量を超えると、読み出し用トランジスタ4を介して出力線5に漏れ出る恐れがある。本実施形態は、発生した電荷により生ずる容量2の電位の最終点（飽和電位）をトランジスタ3のゲートに与えるゲート電圧によって定めるものである。例えば、ゲートの電位VGを決めるためにゲートに与えられる電圧をオフ電圧VBとすると、容量2の最終電圧は $VB - V_{th}$ (V_{th} はトランジスタ3の閾値)となる。例えば、 $VB = V_{th}$ とすると容量2の最終電圧は零となり、容量2の電圧範囲はVR1～0Vとなる。

【0048】このように、本実施形態では、トランジスタ3は、リセット用のスイッチとしても働き且つ、各画素の動作範囲（ダイナミックレンジ）決定する素子としても働く。

【0049】図4(a)にnチャンネル型薄膜トランジスタの回路を示し、図4(b)にVG-VS対ID特性を示す。図4(b)の V_{th} を2V程度とする。

【0050】ゲートのオフ電圧VBを-1Vとすると、 $VB - V_{th} = -3V$ となる。トランジスタ3のソースが蓄積容量2に接続され、ドレインにVR1の基準電圧が与えられている。

【0051】この状態で、電磁波が変換素子1に照射され、発生したキャリアの電子($-Q$)を蓄積容量2に蓄積すると、 $VS = -Q/C_1$ で一電位になる。トランジスタ3のゲート・ソース間電圧は、 $VG - VS = VB + (Q/C_1)$ から、蓄積キャリアにより変化する。 $|VB + (Q/C_1)| \geq V_{th}$ になるとドレインに電流が流れ、ソース電圧VSはそれ以上上昇しなくなる。

【0052】上記条件では、 $-Q/C_1 = -(V_{th} - VB) = -(2+1)V = -3V$ となり、 $-3V$ 以下にはならない。

【0053】このような、蓄積容量2の電位コントロールがない場合は、蓄積容量2の電位が大きく下がり、例えば $-20V$ 以上になっていくと、読み出し用トランジスタ4のトランジスタにおいて、ゲートとソース間の電圧が大きくなり、トランジスタ4のゲート・ソース間のリークが発生したり、あるいはそれ以上の電圧になると絶縁膜が壊れたりする。

【0054】又、トランジスタ4のソースとドレインの電圧が一定電圧($\sim 20V$)以上になるとトランジスタ4のゲートに、トランジスタ4を完全にオフするためのオフ電圧が印加されてもソースとドレイン間の電流が流れ出るため、センサーの継ラインにキャリアが流れだし、CCDイメージセンサで呼ばれるところのブルーミング現象が生じる。

【0055】すなわち、蓄積容量2からトランジスタ4を通して電荷があふれ出し、特に強く照射された部分の影響が継方向に影響するのである。

【0056】本発明の実施形態ではこの現象を抑制できる。

【0057】図5を参照して、動作タイミングを説明する。リセット、蓄積、読み出しが基本的動作である。

【0058】図5において、 ϕVR_1 はリセット回路14からリセット用トランジスタ3のゲートに印加される電圧を示し、例えばハイレベルのオン電圧は $+15V$ 、ローレベルのオフ電圧VBは $+5V$ 程度とすることができる。

【0059】 ϕV はVC1は水平走査回路13から読み出し用トランジスタ4のゲートに印加される電圧を示し、例えばハイレベルのオン電圧は $+15V$ 、ローレベルのオフ電圧は $-5V$ とすることができる。

【0060】リセット用トランジスタ3のオフ電圧VBと読み出し用トランジスタ4のオフ電圧を比べればわかるように、リセット用トランジスタ3のオフ電圧VBの方が、読み出し用トランジスタ4のオフ電圧より、オン電圧側(ここでは正電圧側)に近い電圧となっている。 ϕVR_2 は出力線5の容量C2を基準電位VR2にリセットするためにトランジスタ8のゲートに印加される電圧を、 ϕVR_3 は容量CSHを基準電位VR3にリセットするためにはトランジスタ11のゲートに印加される電圧を示している。VC1は蓄積容量2の浮遊端子側の電位を示している。

10

【0061】パルス ϕV_1 をハイレベルとしてリセット用トランジスタ3をオンしてリセットを行った後、例えば電磁波としてのX線照射を一定期間行なう。そして、パルス ϕVR_2 , ϕVR_3 をオンして配線、サンプルホールドのリセットを行った後、パルス ϕV により読み出し用トランジスタ4をオンして蓄積容量2に蓄積された電荷に基づく信号を読み出す。その後、この動作を繰り返す。X線は連続照射でもあってもよい。

【0062】S1～S5は電磁波の強度が異なる場合の電圧の変化を示しており、電磁波の強度が高く多くの光生成電荷が生じた場合にはS1のように早い時期に飽和電圧VSATに飽和し、電磁波の強度が若干低い場合には光生成電荷は少ないのでS2のように飽和する時期が遅くなる。更には電磁波の強度によっては、S4、S5のように飽和しない場合もある。この場合は、電圧VR1と電圧VSATがダイナミックレンジを決めることになる。

【0063】 ϕVR_1 と ϕV のローレベルの電圧を比べると判るように、電荷蓄積期間中リセット用トランジスタ3のゲートには、完全にオフする電圧(例えば $-5V$)を与えるのではなく、 $+5V$ を与えて、言うなれば完全オン状態と完全オフ状態の中間にしておく。これにより、読み出し用トランジスタ4よりもリセット用トランジスタ3を通して電荷が流れ易くなるので、過剰な電荷が発生してもそれはトランジスタ3を通じて放出される。

【0064】以上の例では、リセット用トランジスタ3と読み出し用トランジスタ4の構成を略同じものとし、それらの閾値が同じ(製造工程のばらつきに因る $1V$ 未満の閾値誤差は、同じ閾値とみなす)になるように設計した場合に効果的である。とりわけ、各トランジスタを同一基板上に同じ成膜プロセスにより作製した場合により効果的である。

【0065】一方、変形例としては、リセット用トランジスタ3と読み出し用トランジスタ4の閾値を互いに異ならしめる方法がある。例えば、リセット用トランジスタ3と読み出し用トランジスタ4のうち少なくともいずれか一方のチャネルに不純物をドープして、それぞれのトランジスタ3、4のチャンネルドープ量を異ならせる方法である。この方法を採用し、リセット用トランジスタ3が完全にオフ状態になる時のゲート電圧の閾値を例えば $-5V$ より低い電圧、読み出し用トランジスタ4が完全にオフ状態になる時のゲート電圧の閾値を例えば $-5V$ とした場合、リセット用トランジスタ3と読み出し用トランジスタ4のそれぞれのゲートに与えるゲート電圧を同じ値(例えば $-5V$)にしたとしても、読み出し用トランジスタ4は完全にオフになるが、リセット用トランジスタ3の方は完全にオフにならないので、リセット用トランジスタ3を通して優先的に、過剰電荷を放出させることができる。

【0066】図6は、電磁波検出装置の動作を説明する

タイミング図である。この例ではX線は連続して照射されている。

【0067】D1, D2, …DNは各行の駆動を示し、たとえばD1が1行目に関する各タイミングを示している。D1の中で、 $\phi VR11$ はリセット回路14から出力されるリセットパルス、 $\phi V1$ は水平走査回路13から出力される1行全ラインへのドライブパルス、 ϕH ($\phi H1$, $\phi H2$, …) は不図示の走査回路から出力回路16へ出力される読み出しパルスである。これによって出力端子OUTから、外部の出力アンプ(不図示)を介してアダプタ・デジタル変換回路(不図示)に送られ、メモリ(不図示)に記憶される。

【0068】D1については、期間T2'内のパルス $\phi RESET1$ により1行ラインの蓄積容量2の電位がリセットされ、期間T1における蓄積動作が開始され、ほぼ期間(T1-T2)中、X線照射による光をX線センサセルのような変換素子1で受光し、発生した電荷を蓄積容量2に蓄積する。この形態では、発生した電荷により蓄積容量2の電位が低下するために、リセット動作により蓄積容量2に蓄積された電荷を放出するものを見なすことができる。期間T2におけるパルス $\phi DRIVE1$ によりトランジスタ4がオンされ、各列の容量C2に電荷を転送する。そして期間T2内のパルス $\phi RESET1$ により1行ラインの蓄積容量2の電位がリセットされ、次の期間T1'の蓄積動作が開始される。

【0069】期間T1'の蓄積動作と並行して、各列から $\phi READ1$ のパルスにより、期間T1で蓄積された信号電荷に基づく信号を順次、出力アンプを介してA/D変換回路(不図示)に出力する。また、期間T1'の蓄積動作と並行して、D2において、期間T1内で蓄積動作が開始された信号電荷の各列の容量C2へ転送動作が行われる。

【0070】このようにして、D1, D2, …DNまで各行の読み出しを行なう。なお、図6に示した、期間T1'、T1、T1'の時間は同一であり、期間T2'、T2の時間は同一であり、期間T3'、T3の時間は同一である。

【0071】期間T1の時間は、例えば1秒間に30フレームの画像を撮像する場合は3.3msec (T1=1/30sec)となる。変換素子1が行列に500×500個配置された場合は、D1, …, D500までの読み出しが必要となり、T2=T1/500となり、概略T2=6.6μsec、T3=T2/500であり、T3は1.30nsec程度となる。

【0072】期間T2の時間内に、トランジスタ4による信号の読み出し($\phi DRIVE1$)とリセット($\phi RESET1$)を行なう。ここで、特に、信号の読み出しには、充分な読み出しを行なわないとセンサーの出力減少となる。蓄積容量2と読み出し用トランジスタ4のオン抵抗RONRにより、時定数t read=C1RONRが決まり、充分な読み

出しには、3t read以上が望まれる。 $\phi RESET$ も同様な時間が望まれる。リセット回路の時定数も同様に、 $t reset = C1 RONReset$ で表わされる。従って、 $T2 \geq 3 C1 (RONR + RONReset)$ が望まれる。

【0073】ここで、例えば、 $T2 = 6.6 \mu sec$ とすれば、

$$C1 (RonR + RONReset) \leq 2.2 \mu sec$$

となる。また、5t read以上とすれば、

$$C1 (RonR + RONReset) \leq 1.3 \mu sec$$

である。RonRとRONResetは充分に小さくすることが望まれる。

【0074】図7はアモルファスシリコンを用いた薄膜トランジスタのオン抵抗の一例を示す特性図である。アモルファスシリコンを用いた薄膜トランジスタの構成は図3(a)、(b)のような構成と考えてよい。横軸はTFTのチャネル幅Wとチャネル長Lの比(W/L)、縦軸はオン抵抗値である。図7において、破線は半導体層としてのノンドープの水素化非晶質シリコン層(i層)の厚さが300nmの試料の場合の計算値、実線は同厚さが100nmの試料の場合の計算値、▲、●、△は実測値を示す。

【0075】容量値C1は通常、数pFになる。薄膜トランジスタの設計により、容易に各々の時定数は10μsec以下にできる。

【0076】しかしながら、薄膜トランジスタのオン抵抗は、ソースとドレイン間Vdの電位差依存性がある。

【0077】図8は、i層の厚さが500nmの試料と、同厚さが300nmの試料のVd依存性を示す特性図である。Vdが1Vより小さくなってくると急激にオン抵抗が大となる。従って、ソース・ドレイン間の電位差は1V以上にすると、時定数改善ができる。

【0078】 $C1 << C2$ の時は、容量2の電位は略々 $V_{R1}/C2$ と $(VB - V_{th})/C2$ の間となる。 $VR1/C2$ と $(VB - V_{th})/C2$ のいずれに対しても、スイッチとなるトランジスタ4のソース・ドレイン間の電圧Vdが、1V以上になるように設定する。

【0079】 $VR2$ は少なくとも $|VB - V_{th}| + 1 \leq |VR2|/V$ に設定することにより、すべての動作条件に対してトランジスタ4を通じて高速の読み出しをすることができる。

【0080】図9は、本発明の別の実施形態による電磁波検出装置の1画素の回路構成図である。上述した形態とは、トランジスタ9が変換素子1と容量2の間に設けられている点が異なる点であり、それ以外の構成は上述した形態と同じ構成にすることができる。動作の概略は以下のとおりである。

【0081】まず、トランジスタ9をオフにした状態で電磁波を受けた変換素子1が電荷を蓄積する。

【0082】トランジスタ2をオンして容量2をリセットする。この直後にトランジスタ4をオンして所謂リセ

ットノイズを出力線5側に読み出してもよい。このリセットノイズの読み出しは、後述する光信号電荷の読み出し直後に行なっても良い。

【0083】トランジスタ9をオフした状態で光生成電荷の変換素子での蓄積開始から所定時間経過した後、トランジスタ9のゲートにオンパルス ϕT を印加して、トランジスタ9をオンし、電荷を容量2に転送する。このとき、回路設計により予め定めた容量2の飽和電荷量（容量2に蓄積し得る絶対飽和量とは限らない）を超えた過剰な電荷はトランジスタ2を通してリセット電位を与えるリセット用基準電源側に放出される。

【0084】トランジスタ9をオフした後、トランジスタ4をオンして、光信号電荷を出力線5側に読み出す。ここで読み出された信号と先のリセットノイズの差分をとれば、ノイズが低減された信号を得ることができる。

【0085】図10は、本発明による電磁波検出装置の一例を示す模式的断面図である。

【0086】30は、検出装置であり、薄膜トランジスタ33のアレイを有する絶縁性基板32で構成されている。少なくとも前述したトランジスタ3、4はこのような薄膜トランジスタで形成される。

【0087】31は変換素子であり、電磁波受光用の半導体基板40と、共通電極41と、個別電極39と、絶縁膜42とを有している。変換素子は、入射したX線などから電子-正孔を生成し、一方のキャリアを蓄積することができる。

【0088】薄膜トランジスタ33は、ゲート電極43、チャネル44、ソース・ドレイン領域45、ソース・ドレイン電極46とを有している。34は層間絶縁膜、35は接続用の電極である。

【0089】変換素子31と検出装置30とは、接続パッドとなる金属層36、38と、バンプ37により、電気的且つ機械的に接続固定されている。接続形態はこれに限るものではない。

【0090】半導体基板40、例えば半絶縁性GaAs単結晶基板などで構成され、X線等の放射線が基板40とオームックコンタクトするAuGeNi合金などの共通電極41を通して入射するように構成されている。本例ではpn接合でなく、半絶縁性基板中で、放射線を電荷に変える。各画素に対応するオームックコンタクト用のAuGeNi合金の電極39は電気的に容量2や、薄膜トランジスタ33で構成されたリセット用トランジスタ3及び読み出し用トランジスタ4に接続されているので、発生した電荷は容量2に蓄積されることになる。

【0091】図11は、本発明による電磁波検出装置の別の例を示す模式的断面図である。図10の構成と異なる点は、変換素子がPIN接合ダイオードとなっている点である。具体的には、GaAs、GaP、Ge、Si、CdTeなどを主成分とする半導体からなるn+層47、i層40、p+層48でダイオードが構成されて

いる。空乏層はi層40全体に広がっており、電荷を収集しやすくなっている。

【0092】図12は本発明のX線検出装置の外観を示し、図12(a)は平面、図12(b)は断面を示している。

【0093】図12において、ここでは、ガラス等の絶縁性基板上に、リセット用薄膜トランジスタや読み出し用薄膜トランジスタが形成された共通の検出装置30上に、上述した変換素子31の複数が2次元マトリクス状に配置されている。各変換素子31と検出装置30とはバンプ37により接続されている。

【0094】信号処理回路は、所定の数の出力線5からの信号を処理するテープキャリアパッケージされた信号処理回路チップ50の複数と、それらを接続する共通のプリント配線基板52とを有する。信号処理回路チップ50は、前述したアンプ15や出力回路16やトランジスタ8などを含む。

【0095】同様に、ドライバー回路は、所定数の駆動制御線6、7を駆動するテープキャリアパッケージされたドライバー回路チップ51の複数と、それらを接続する共通のプリント配線基板53とを有する。ドライバー回路チップ51は、走査回路13とリセット回路14を含む。

【0096】チップ50、51は、単結晶半導体基体にトランジスタが作り込まれたモノリシック集積回路のチップである。

【0097】薄膜トランジスタとして、多結晶半導体薄膜トランジスタや単結晶半導体薄膜トランジスタを採用する場合には、信号処理回路やドライバー回路の全部或いは一部を、基板32上に、多結晶薄膜トランジスタや単結晶半導体薄膜トランジスタからなるCMOS型薄膜集積回路で構成し、複数の単位セルとともに基板32上に集積化してもよい。こうすれば、基板32外との接続端子の数が減り、実装が簡単になる。

【0098】また、54は複数の変換素子31を短絡し、共通にバイアスするための1板の導電体である。導電体54はここではシート状としているが、メッシュなどでもよい。55は絶縁シート、56はバイアス用導電体54のシールド用のシートである。導電体54には100V以上の高電圧が印加されるので、シート56はその保護用として作用する。特に、医療用途等では高電圧が印加される導電体が、人体側に配置されないように、シート56を設けることが望まれている。

【0099】導電体54とシート56との間には必ずしも絶縁シート55を設けなくてもよく、エア・ギップでもよい。その場合は、検出装置のハウジングとの間にシールド54を配置する。

【0100】図14の装置では、また上基板と下基板とも単結晶基板を用い、上下とも複数の基板を使用しているため配線が複雑で、大型化に困難がともなうのに対し

て、上記実施形態の装置では、大型化は容易い。

【0101】さらに、図14の装置では、上基板、下基板とも配線が多層になり、製作が複雑、多工程にわたり、製造的には歩留りが悪くなる。また配線としては浮遊容量が大きくなり、検出のスピードが遅くなったり、電気利得がおちる。これに対して、上述した実施形態の装置では、絶縁性基板上に形成した薄膜トランジスタを用いるので、こうした点が改善される。

【0102】以上説明した本実施形態の電磁波検出装置によれば、

(1) リセット用薄膜トランジスタにより残像をなくすことができる。

(2) 蓄積容量2の飽和電圧VSをリセット用薄膜トランジスタのオフ電圧と閾値電圧との差VB-Vthで設定することができ、過大な入力が入った時にも、出力線への電荷のもれを防止できる。

(3) 変換素子となる基板を二次元状に配置して、これと共に通の大版絶縁性基板の検出装置を積層して構成できるので、撮像装置の大版化が容易となる。

(4) キヤリア移動度が低いといわれる非晶質半導体薄膜トランジスタを用いても、動画の撮影が良好に行なえる。もちろん、ダイナミックレンジの広い高感度な静止画撮影も容易にできる。

(5) 読み出し用薄膜トランジスタのソース・ドレイン間の電位差をリセット電位の設定により少なくとも1V以上にすることにより、応答が速くなる。

(6) 高感度、広ダイナミックレンジが得られることから、医療用途以外にも、生物や非生物を対象とした分析装置、非破検査装置にも適用できる。

(7) 薄膜トランジスタを用いるので、高エネルギー線により不本意に発生した電荷による誤動作の確立が低い。

【0103】図13は、本発明の電磁波検出装置を用いた医療用診断機器の一例を示す模式図である。図13において、1001はX発生源となるX線管、1002はX線通過の開閉制御を行なうX線シャッター、1003は照射筒又は可動絞り、1004は被写体、1005は本発明の電磁波検出装置を用いた放射線検出器、1006は放射線検出器1005からの信号をデータ処理するデータ処理装置である。1007はコンピュータであり、データ処理装置1006からの信号に基づいて、X線画像等をCRT等のディスプレイ1009に表示したり、カメラ制御器1010、X線制御器1011、コンデンサ式高電圧発生器1012を介してX線管1001を制御してX線発生量の制御を行なう。

【0104】X線などの高エネルギー線は、被写体を透過してきた放射線と、被写体を透過せずに空気中をつづってきた放射線とでは、変換素子に入射するエネルギー量が極端に異なるため、発生する電荷量の差異も極めて大きい。よって、被写体像とその背景における発生電荷量

の差から、背景部分において蓄積電荷量が飽和し易い。本発明では、過剰な電荷を薄膜トランジスタを通して排出するために、こうした過剰電荷による画像品質の低下をより良く防止することができる。また、薄膜トランジスタを用いるために、高エネルギー線が薄膜トランジスタ部分に入射しても、それによる誤動作が生じ難い。さらには、検出装置の大面積化も容易である。

【0105】

【発明の効果】本発明によれば、残像や電荷の漏れ出しを抑制し、高いエネルギーの電磁波が入射しても誤動作が生じ難いので、高いエネルギーの電磁波であっても良好に検出できる、従来の装置より優れた電磁波検出装置を提供できる。更には、撮像面積の大きな電磁波検出装置を従来より安価に提供できる。

【図面の簡単な説明】

【図1】本発明の実施形態による電磁波検出装置の回路構成図である。

【図2】本発明の実施形態による電磁波検出装置の1画素分の回路構成図である。

【図3】本発明に用いられる薄膜トランジスタの構成を示す模式的断面図である。

【図4】本発明に用いられる薄膜トランジスタの回路と特性を示す図である。

【図5】本発明の実施形態による電磁波検出装置の基本的な駆動タイミングチャートを示す図である。

【図6】本発明の実施形態による電磁波検出装置の駆動タイミングチャートを示す図である。

【図7】本発明に用いられる薄膜トランジスタのオン抵抗の特性を示す図である。

【図8】本発明に用いられる薄膜トランジスタのオン抵抗のVd依存性を示す図である。

【図9】本発明の別の実施形態による電磁波検出装置の1画素の回路構成図である。

【図10】本発明の一実施形態による電磁波検出装置の模式的断面図である。

【図11】本発明の別の実施形態による電磁波検出装置の模式的断面図である。

【図12】本発明の一実施形態による電磁波検出装置の上面と断面を示す模式図である。

【図13】本発明の電磁波検出装置を撮像装置として用いた医療用診断機器の一例を示す模式図である。

【図14】単結晶パルクX線検出部と単結晶読み出しICの積層構造による検出器を示す断面図及び平面図である。

【図15】保護ダイオード付直接型センサーの読み出し・リセット回路の回路構成図である。

【符号の説明】

1 変換素子

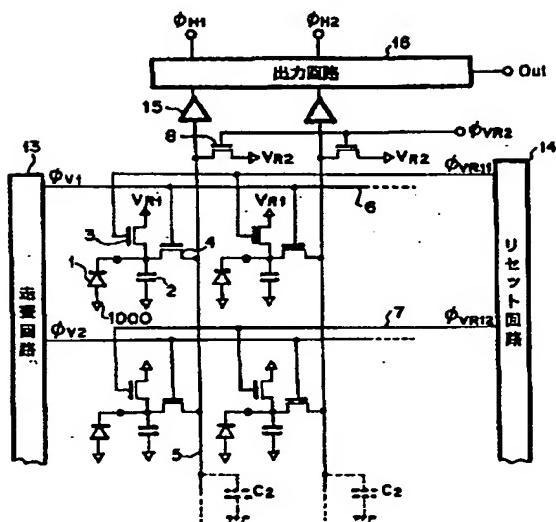
2 蓄積容量

50 3 リセット用トランジスタ

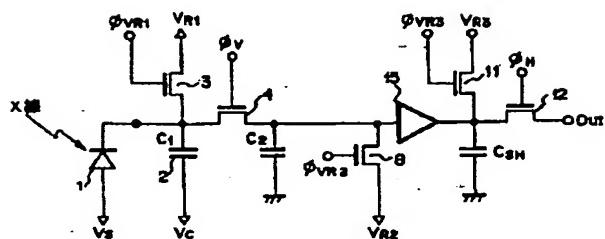
- 4 読み出し用トランジスタ
 5 出力線
 6 水平駆動制御線
 7 リセット制御線
 8 出力線のリセットトランジスタ
 11 リセット用トランジスタ

- 12 水平転送用のトランジスタ
 13 水平走査回路
 14 リセット回路
 15 アンプ
 16 出力回路

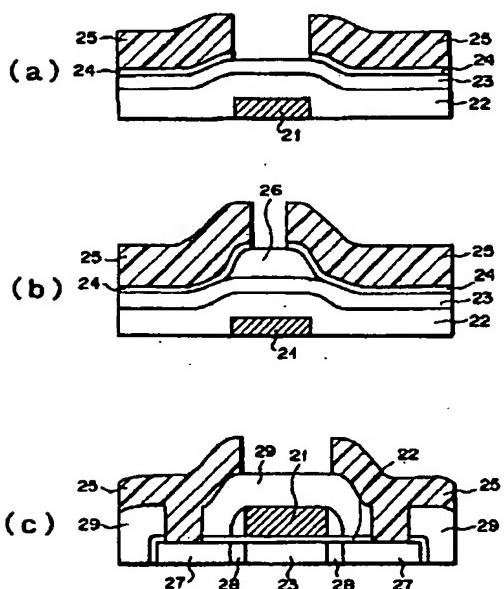
【図1】



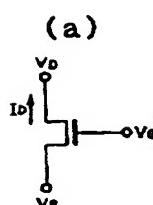
【図2】



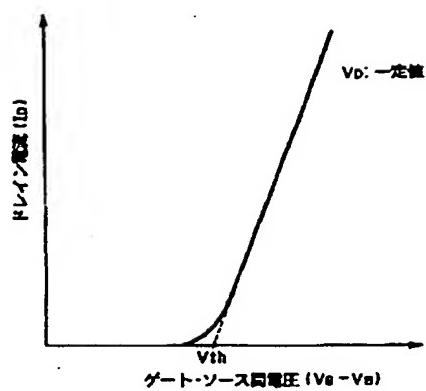
【図3】



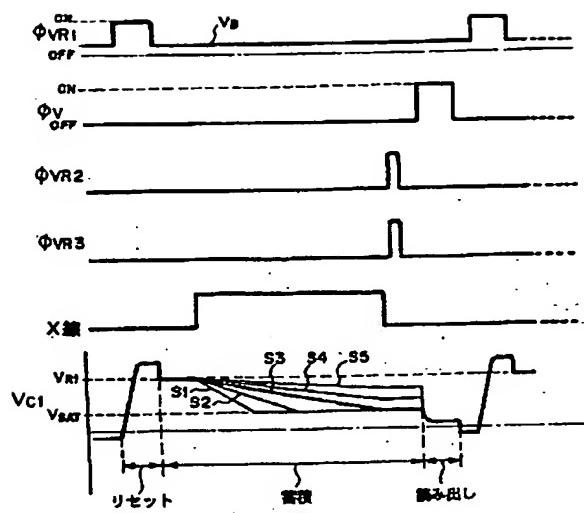
【図4】



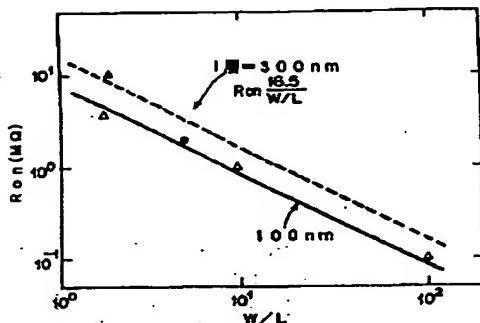
(b)



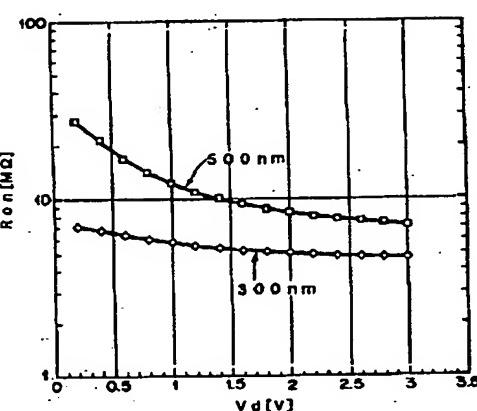
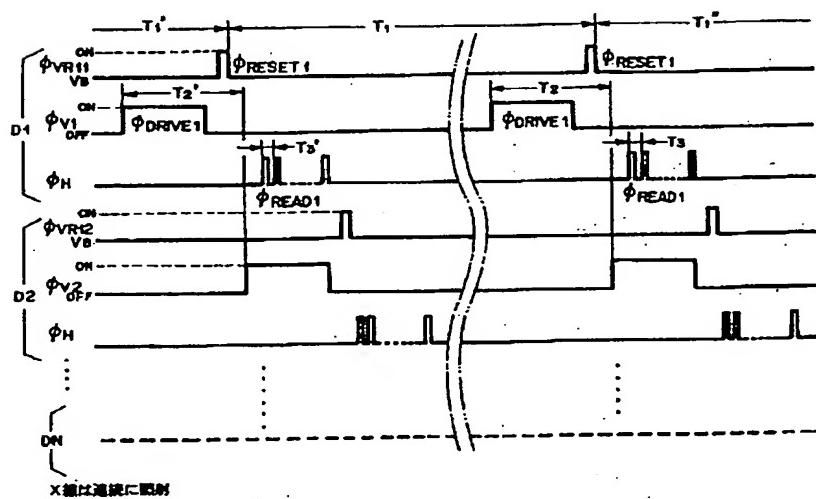
【図5】



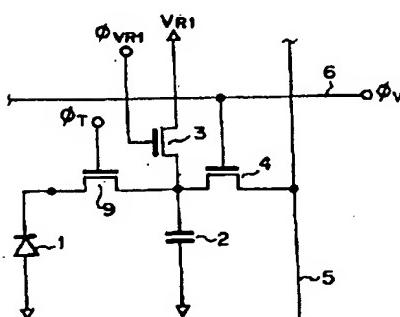
【図7】



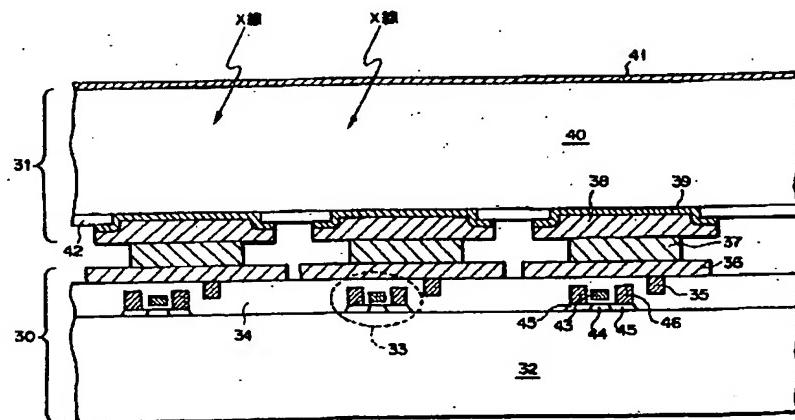
【図6】



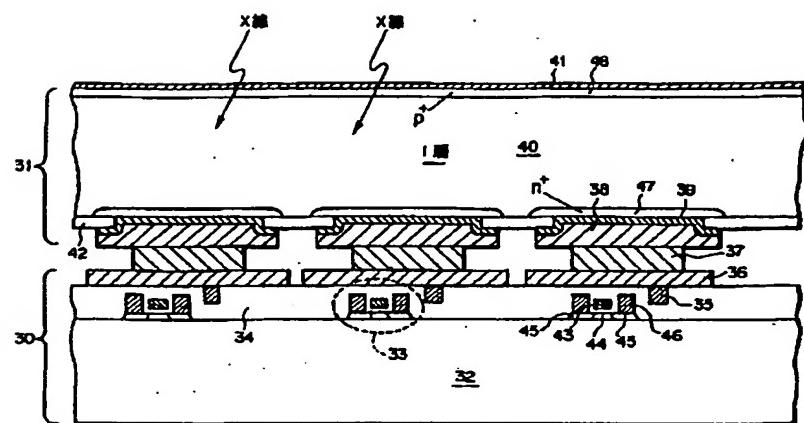
【図9】



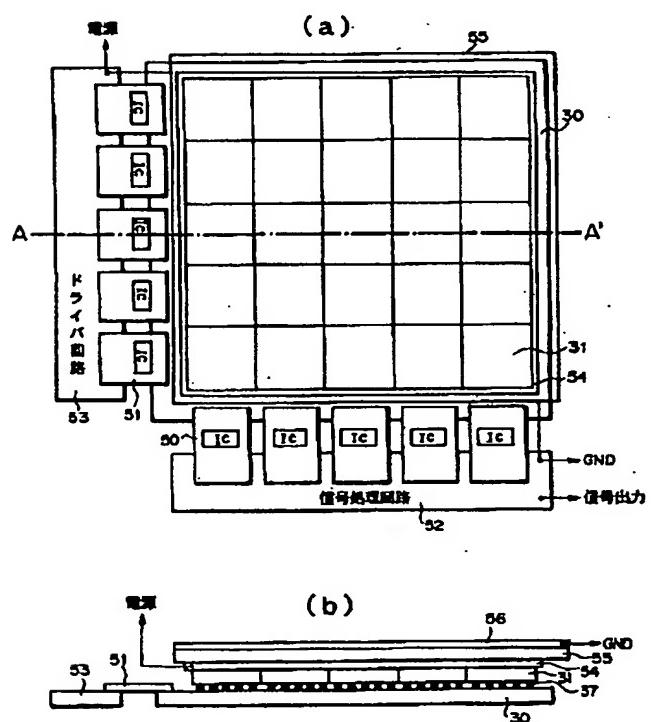
【図10】



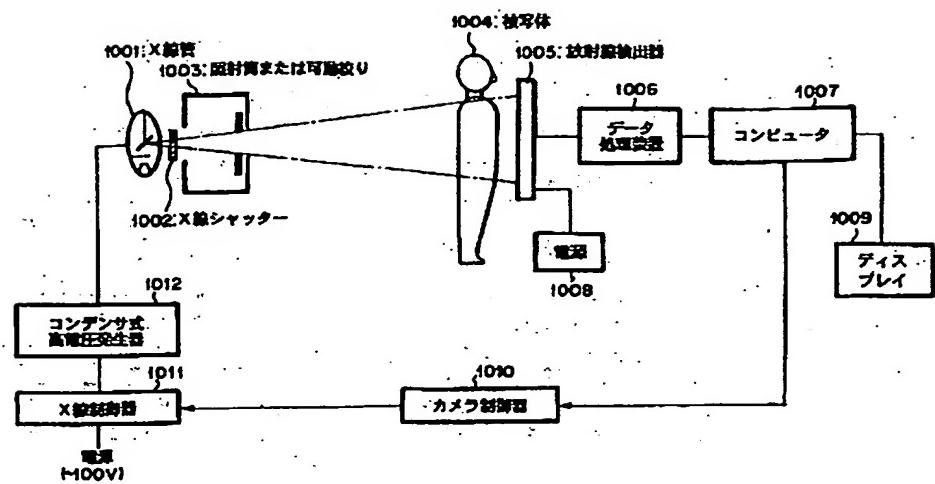
【図11】



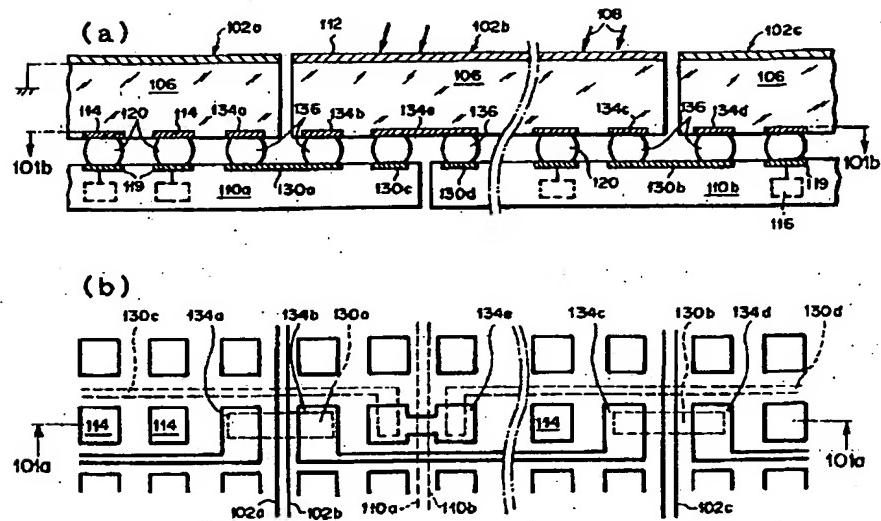
【図12】



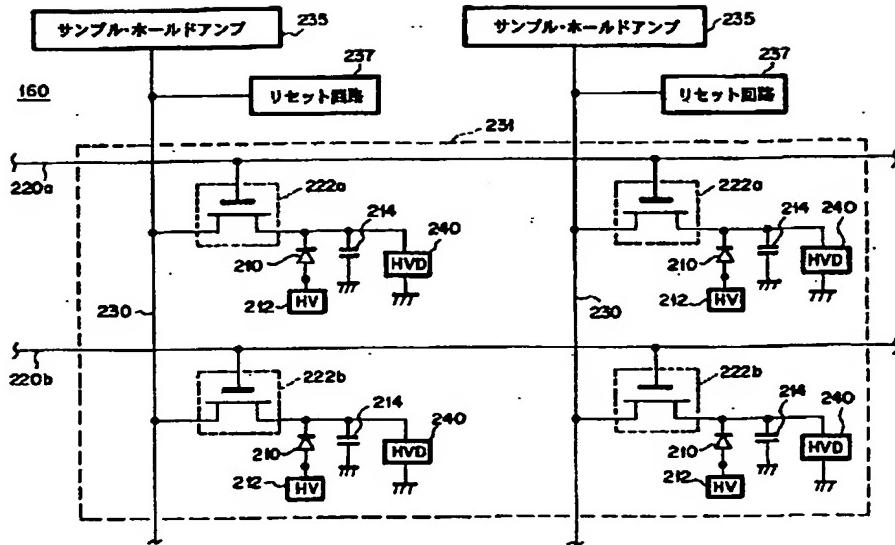
【図13】



【図14】



【図15】



【手続補正書】

【提出日】平成13年3月27日(2001.3.2)
7)

【手続補正1】

【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】入射した電磁波を電荷に変換する変換素子と、

前記変換素子で変換された前記電荷を蓄積する蓄積容量と、

前記蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタと、

一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、

を有する電磁波検出装置において、

蓄積期間中に前記リセット用薄膜トランジスタのゲートに印加するオフ電圧が、前記蓄積期間中に前記読み出し用薄膜トランジスタのゲートに印加するオフ電圧より、前記オン電圧に近い値に設定されていることを特徴とする電磁波検出装置。

【請求項2】前記変換素子は、可視光より高エネルギーの電磁波を吸収して電荷に変換する素子である請求項1記載の電磁波検出装置。

【請求項3】前記読み出し用薄膜トランジスタと前記

リセット用薄膜トランジスタとは絶縁性基板上に形成された非単結晶半導体層を有する請求項1記載の電磁波検出装置。

【請求項4】前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成され、

前記変換素子は前記絶縁性基板とは別の基板に形成され、前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとに電気的に接続されている請求項1記載の電磁波検出装置。

【請求項5】前記変換素子は、電磁波を電荷に変換する半導体基板と、該半導体基板の一面に設けられた共通電極と、該半導体基板の他面に設けられ、二次元状の複数の画素に対応して、各々分離されて形成された複数の電極と、を有し、

前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを含む単位セルが前記各画素に対応して、絶縁性基板上に配置され、

前記半導体基板と前記絶縁基板とは積層構造をとり、それらの基板間において前記複数の電極と前記各単位セルとが電気的に接続されている請求項1記載の電磁波検出装置。

【請求項6】前記半導体基板の複数を前記絶縁基板上に二次元状に並べて積層配置し、各半導体基板の共通電極同士を短絡させる請求項5記載の電磁波検出装置。

【請求項7】前記変換素子の共通電極に高圧電位を与え、該共通電極の近傍にはシールドする導電体が設けら

れている請求項5記載の電磁波検出装置。

【請求項8】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動するドライバー回路と、前記読み出し用薄膜トランジスタから信号を読み出す読み出し回路とが、前記絶縁性基板に設けられている請求項4又は5記載の電磁波検出装置。

【請求項9】 入射した電磁波を電荷に変換する変換素子と、

前記変換素子で変換された前記電荷を蓄積する蓄積容量と、

前記蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタと、

一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、

を有する電磁波検出装置において、

蓄積期間中に、前記リセット用薄膜トランジスタを通して過剰な電荷を放出することを特徴とする電磁波検出装置。

【請求項10】 前記変換素子は、可視光より高エネルギーの電磁波を吸収して電荷に変換する素子である請求項9記載の電磁波検出装置。

【請求項11】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成された非単結晶半導体層を有する請求項9記載の電磁波検出装置。

【請求項12】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとは絶縁性基板上に形成され、

前記変換素子は前記絶縁性基板とは別の基板に形成され、前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとに電気的に接続されている請求項9記載の電磁波検出装置。

【請求項13】 前記変換素子は、電磁波を電荷に変換する半導体基板と、該半導体基板の一面に設けられた共通電極と、該半導体基板の他面に設けられ、二次元状の複数の画素に対応して、各々分離されて形成された複数の電極と、を有し、

前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを含む単位セルが前記各画素に対応して、絶縁性基板上に配置され、

前記半導体基板と前記絶縁基板とは積層構造をとり、それらの基板において前記複数の電極と前記各単位セルとが電気的に接続されている請求項9記載の電磁波検出装置。.

【請求項14】 前記半導体基板の複数を前記絶縁基板上に二次元状に並べて積層配置し、各半導体基板の共通電極同士を短絡させる請求項13記載の電磁波検出装置。

【請求項15】 前記変換素子の共通電極に高圧電位を与え、該共通電極の近傍にはシールドする導電体が設けられている請求項13記載の電磁波検出装置。

【請求項16】 前記読み出し用薄膜トランジスタと前記リセット用薄膜トランジスタとを駆動するドライバー回路と、前記読み出し用薄膜トランジスタから信号を読み出す読み出し回路とが、前記絶縁性基板に設けられている請求項12又は13記載の電磁波検出装置。

【請求項17】 前記読み出し用薄膜トランジスタは、読み出し動作の初期状態で、該薄膜トランジスタのソース・ドレイン間の電位差が少なくとも1V以上となるようソース・ドレインに印加される電圧を定める請求項1又は9記載の電磁波検出装置。

【請求項18】 前記読み出し用薄膜トランジスタの閾値は、前記リセット用トランジスタの閾値と同じである請求項1記載の電磁波検出装置。

【請求項19】 前記読み出し用薄膜トランジスタの閾値は、前記リセット用トランジスタの閾値より高い請求項9記載の電磁波検出装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】又、本発明は、入射した電磁波を電荷に変換する変換素子と、前記変換素子で変換された前記電荷を蓄積する蓄積容量と、前記蓄積容量に蓄積された電荷を読み出すための読み出し用薄膜トランジスタと、一端が前記蓄積容量に接続され、ゲートにオン電圧が印加されて前記蓄積容量にリセット電位を与えるリセット用薄膜トランジスタと、を有する電磁波検出装置において、蓄積期間中に、前記リセット用薄膜トランジスタを通して過剰な電荷を放出することを特徴とする。

フロントページの続き

(51) Int.Cl.?

H 01 L 27/14
29/786
31/09
H 04 N 5/32

識別記号

F I

H 04 N 5/335
H 01 L 27/14
29/78

テーマコード(参考)

E
F
K

614



5/335

(16)

特開2001-345440

31/00

A